

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-104125

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)5月1日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78

3 0 1 L

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑯ 特 願 平1-241283

⑰ 出 願 平1(1989)9月18日

⑱ 発 明 者 梶 谷 敦 宏 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

半導体基板の素子を形成すべき表面位置にポリシリコン膜の仮のゲート部材を形成しかつ低濃度の拡散層を形成する工程と、半導体基板表面に酸化膜を形成しかつ前記仮のゲート部材上の酸化膜を選択的に除去する工程と、前記仮のゲート部材を除去しかつ仮のゲート部材の除去により生じる酸化膜の溝を等方性エッチングする工程と、ゲート酸化膜を形成したのち前記溝内にポリシリコンのゲート電極を形成する工程と、前記溝を構成する酸化膜を除去する工程と、ゲート電極に側壁酸化膜を形成しかつ高濃度拡散層を形成する工程を備えることを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、MOS型半導体装置の製造方法に関

するものである。

従来の技術

近年、半導体の高集積化に伴い、素子寸法が微細化されてきた。通常のLDD構造のMOSトランジスタでは、ゲート長が短くなるとドレイン近傍の電界強度が増加して側壁酸化膜やゲート酸化膜に注入されるホットキャリアの発生が増大し、トランジスタの特性劣化という信頼性の低下をもたらすことが知られている。このホットキャリア効果を抑えるために、ドレイン近傍の電界強度を減少させるとともに側壁酸化膜へのホットキャリアの注入を低減する方法として、ゲートとドレインが十分オーバーラップしたLDD構造を持つMOS型半導体装置の製造方法が提案されている。

以下に従来のMOS型半導体装置の製造方法について第2図および第3図を用いて説明する。

第1の従来例を第2図に示す。第2図(a)~(b)において、21はp型シリコン基板、22はゲート酸化膜、23はポリシリコン膜、24はリンイオ

ン、25はn型低濃度拡散層、26は側壁酸化膜、27はヒ素イオン、28はn型高濃度拡散層である。

第2図(a)に示すように、まずp型シリコン基板21にゲート酸化膜22を成長させ、その上に所望のパターンのポリシリコン膜23を形成した後、高加速で入射角の大きなヒ素イオン24を、たとえば100keV、入射角45度の条件で、少なくとも2方向より注入し、低濃度拡散層25を形成する。次に第2図bに示すように、側壁酸化膜26を形成した後、ヒ素イオン27を注入しn型高濃度拡散層28を形成し、ゲートとドレインが十分オーバーラップしたLDD構造のMOS型半導体装置を形成する。

第2の従来例を第3図に示す。第3図(a)~(b)において、31はp型シリコン基板、32はゲート酸化膜、33はポリシリコン膜、34は堆積酸化膜、35はリンイオン、36はn型低濃度拡散層、37は側壁酸化膜、38はヒ素イオン、39はn型高濃度拡散層である。

ト電極の陰の発生で、n型拡散層の形成ができなくなるという課題を有していた。また、入射角の大きな注入のために、高価な専用の注入装置が必要であるという課題も有していた。

上記の第2の従来法では、エッチング速度の変化により、エッチング後のポリシリコン膜厚を一定にすることが難しく、n型低濃度拡散層を再現性よく形成することが困難であるという課題を有していた。また、エッチング速度のウェハ面内ばらつきにより、n型低濃度拡散層が不均一になり、トランジスタ特性のばらつきが増大するという課題も有していた。

本発明は、上記した従来の課題を解決するもので、n型低濃度拡散層を再現性よく形成しトランジスタ特性の安定性を向上できるゲートとドレインが十分オーバーラップしたLDD構造のMOS型半導体装置の製造方法を提供することを目的とするものである。

課題を解決するための手段

本発明のMOS型半導体装置の製造方法は、前

第3図(a)に示すような、まず、p型シリコン基板31にゲート酸化膜32を成長させ、その上にポリシリコン膜33を400nm成長した後、堆積酸化膜34をマスクとして、ポリシリコン膜33を一定時間ドライエッチングし、約50nmの膜厚のポリシリコン膜33を形成する。その後、ポリシリコン膜33を突き抜けるに十分な加速エネルギー、例えば80keVのリンイオン35を注入し、n型低濃度拡散層36を形成する。

次に、第3図(b)に示すように、側壁酸化膜37を形成した後、側壁酸化膜37をマスクとして、ドライエッチングによりポリシリコン膜33を選択除去した後、ヒ素イオン38を注入しn型高濃度拡散層39を形成し、ゲートとドレインが十分オーバーラップしたLDD構造のMOS型半導体装置を形成する。

発明が解決しようとする課題

しかしながら、上記の第1の従来法では、入射角の大きな注入により、n型低濃度拡散層を形成するため、ゲート電極の間隔が狭くなると、ゲ

述した課題を生ずることなく、微細かつ高信頼性のMOS型半導体装置を形成するため、半導体基板の素子を形成すべき表面位置にポリシリコン膜の仮のゲート部材を形成しかつ低濃度の拡散層を形成する工程と、半導体基板表面に酸化膜を形成しかつ前記仮のゲート部材上の酸化膜を選択的に除去する工程と、前記仮のゲート部材を選択除去しかつ仮のゲート部材の除去により生じる酸化膜の溝を等方性エッチングする工程と、ゲート酸化膜を形成したのち前記溝内にポリシリコンのゲート電極を形成する工程と、前記溝を構成する酸化膜を除去する工程と、ゲート電極に側壁酸化膜を形成しかつ高濃度拡散層を形成する工程とを備えている。

作用

本発明の方法によれば、仮のゲート部材を注入のマスクとしてn型低濃度拡散層を形成するため、再現性よくしかも均一なn型低濃度拡散層を形成することができる。また、仮のゲート部材を選択除去により形成される酸化膜の溝を等方性

エッチングする量によりゲートとドレインのオーバーラップ量を制御することができるため、半導体装置の特性の制御が容易である。さらに、高価な専用装置を使うことなく、ゲートとドレインが十分オーバーラップしたLDD構造のMOS型半導体装置を実現できる。

実施例

以下に、本発明によるMOS型半導体装置の製造方法を第1図を参照しながら説明する。

第1図(a)~(e)において、1はp型シリコン基板、2は酸化膜、3は仮のゲートとなるポリシリコン膜、4はリンイオン、5はn型低濃度拡散層、6は堆積酸化膜、7は酸化膜の溝、8はゲート酸化膜、9はポリシリコン膜、10は側壁酸化膜、11はヒ素イオン、12はn型高濃度拡散層である。

まず、p型シリコン基板1に酸化膜2を20nm成長させ、その上に所望のパターンの仮のゲートとなるポリシリコン膜3を500nm形成した後、リンイオン4を50keVの条件で注入し、

を形成した後、ヒ素イオン11を40keVで注入し、n型高濃度拡散層12を形成し、ゲートとドレインが十分オーバーラップしたLDD構造のMOS型半導体装置を形成する。

発明の効果

以上説明したように本発明のMOS型半導体装置の製造方法によれば高価な専用装置を使うことなく微細な低濃度拡散層を再現性よく均一に形成可能であり、酸化膜の溝の幅を等方性のエッチングで制御することでゲートとドレインのオーバーラップ量を制御できるため、微細で再現性のよいゲートとドレインが十分オーバーラップしたLDD構造のMOS型半導体装置を安価かつ安定に実現する優れた製造方法を提供することができる。

4、図面の簡単な説明

第1図は本発明の一実施例におけるMOS型半導体装置の工程断面図、第2図および第3図は従来のMOS型半導体装置の工程断面図である。

1……p型シリコン基板、2……酸化膜、3……仮のゲートとなるポリシリコン膜、4……リン

n型低濃度拡散層5を形成する。この時の状態を第1図(a)に示す。

次に第1図(b)に示すように、堆積酸化膜6を500nm形成した後、レジストによる平坦化法とエッチバック法を用いて、仮のゲートとなるポリシリコン膜3の上の堆積酸化膜を選択的に除去し、450nmの堆積酸化膜6を形成する。

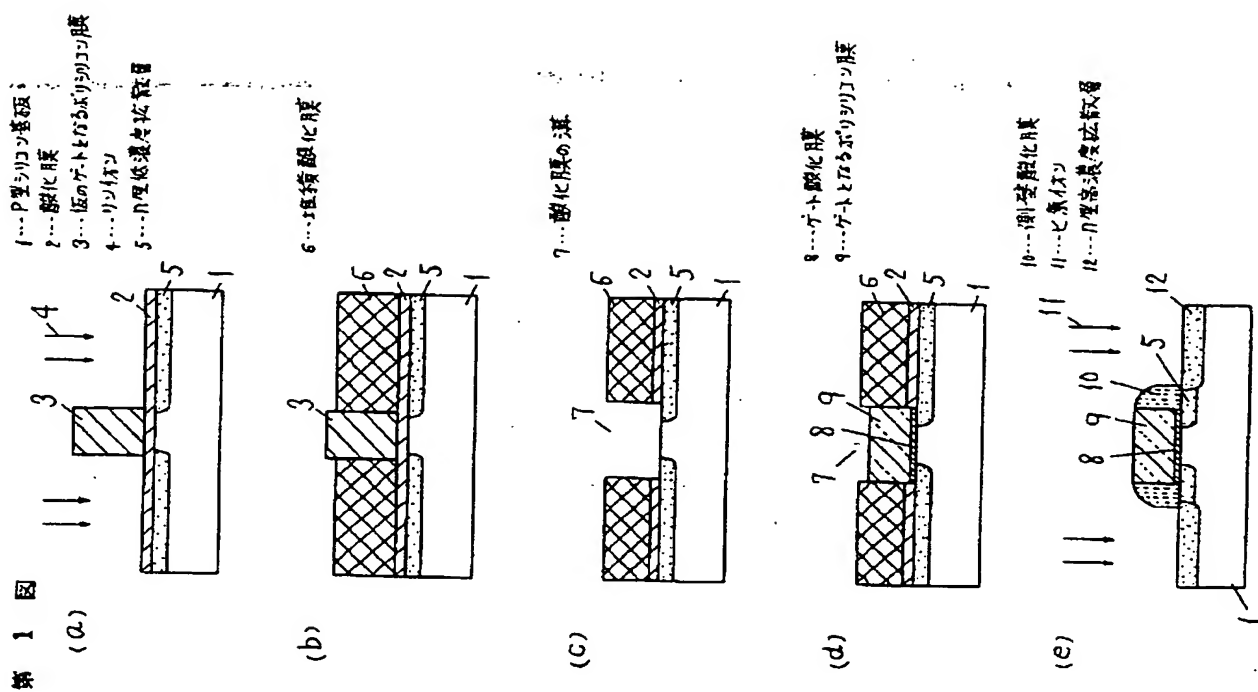
次に、第1図(c)に示すように、仮のゲートとなるポリシリコン膜3をドライエッチングにより除去した後、酸化膜2および堆積酸化膜6を等方的にエッチングし、酸化膜の溝7を形成する。エッチングは、フッ酸系を用いることで、エッチング時間により、溝の幅の広がりやの制御が可能である。

次に、第1図(d)に示すように、10nmのゲート酸化膜8を成長した後、400nmのポリシリコン膜を形成し、レジストによる平坦化法とエッチバック法を用いて、ゲートとなる300nmのポリシリコン膜9を形成する。

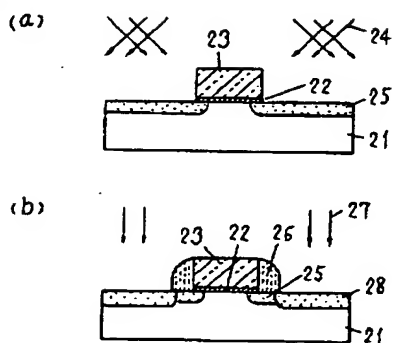
そして、第1図(e)に示すように、側壁酸化膜10

イオン、5……n型低濃度拡散層、6……堆積酸化膜、7……酸化膜の溝、8……ゲート酸化膜、9……ゲートとなるポリシリコン膜、10……側壁酸化膜、11……ヒ素イオン、12……n型高濃度拡散層。

代理人の氏名 井理士 栗野重孝 ほか1名



第 2 図



第 3 図

